

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10027825
PUBLICATION DATE : 27-01-98

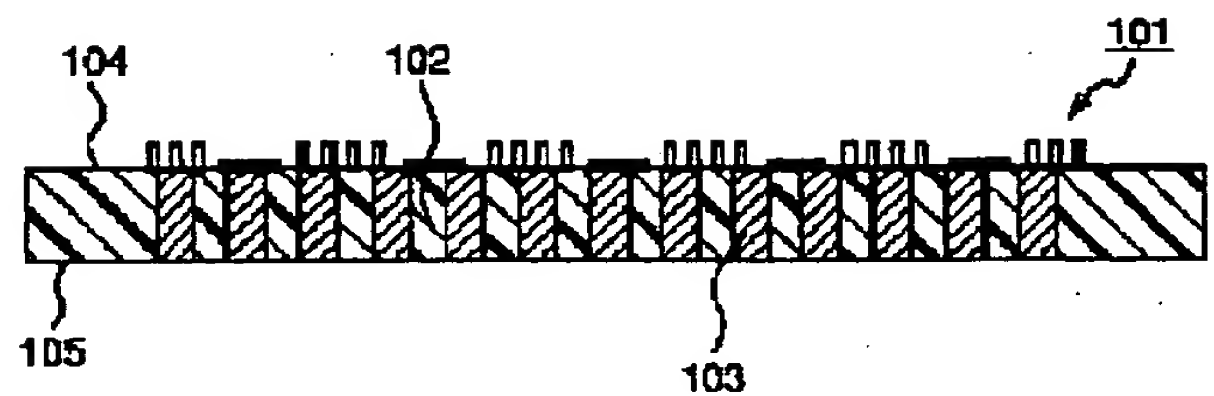
APPLICATION DATE : 09-07-96
APPLICATION NUMBER : 08179031

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : MATSUO TAKAHIRO;

INT.CL. : H01L 21/60 H05K 1/18

TITLE : SUBSTRATE FOR SEMICONDUCTOR
CHIP MOUNTING USE,
MANUFACTURE OF SUBSTRATE FOR
SEMICONDUCTOR CHIP MOUNTING
USE, SEMICONDUCTOR DEVICE, AND
MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To reduce the interlayer electrical resistance of a substrate for semiconductor chip mounting use and to realize adaptability to multipin ICs by a method wherein conductive members almost intersect orthogonally the semiconductor chip and circuit board mounting surfaces of a base material, are extended straightly through the base material and connect electrically a semiconductor chip with a circuit board.

SOLUTION: Conductive members 103 almost intersect orthogonally the semiconductor chip and circuit board mounting surfaces 104 and 105 of a base material 102 and are extended straightly through the base material 102 out of contact with each other in the base material 102. By providing such the members 103, a semiconductor chip, which is mounted on the mounting surface 104 by a flip chip method, is electrically connected with a circuit board through the members 103 and the circuit board which is mounted on the mounting surface 105, which opposes to the mounting surface 104, of the base material 102 is electrically connected with the semiconductor chip through the members 103. Thereby, the interlayer electrical resistance of a substrate for semiconductor chip mounting use is reduced and the adaptability to multipin ICs is enhanced.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-27825

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S
H 0 5 K 1/18			H 0 5 K 1/18	L

審査請求 未請求 請求項の数27 O L (全 14 頁)

(21) 出願番号 特願平8-179031

(22) 出願日 平成8年(1996) 7月9日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 東田 隆亮

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 熊谷 浩一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 松尾 隆広

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

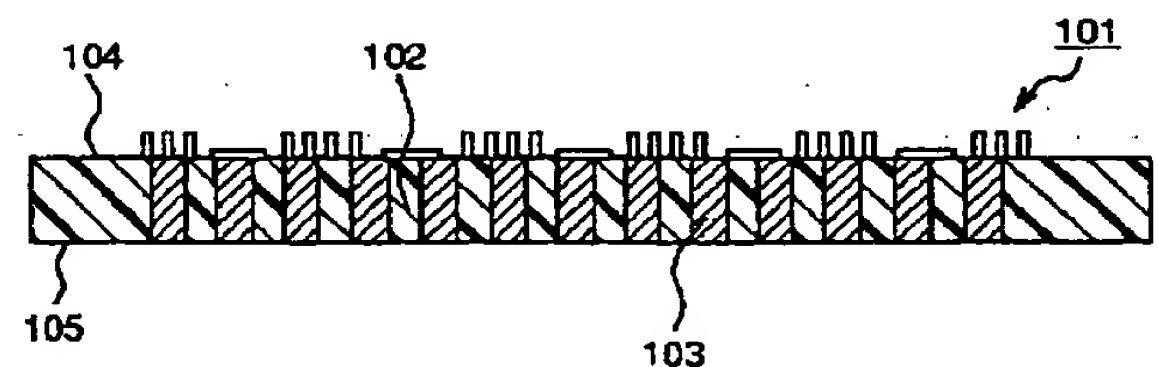
(74) 代理人 弁理士 青山 葆 (外2名)

(54) 【発明の名称】 半導体素子実装用基板、半導体素子実装用基板の製造方法、半導体装置、及び半導体装置の製造方法

(57) 【要約】

【課題】 製造コストが安価であり、製造リードタイムが短い、半導体素子実装用基板及びその製造方法を提供する。

【解決手段】 金属線にてなる導電部材103が基材102の半導体素子取付面104と回路基板取付面105との間に直線状に延在する構造を有し、上記導電部材が直線状に予め配置された金型内に、上記基材を形成する樹脂材を注入することで、上記基材と上記導電部材とを一体的に成形する。



【特許請求の範囲】

【請求項1】 フリップチップ実装方法にて半導体素子を取り付けられ電氣的に接続される半導体素子取付面（104）と、上記半導体素子取付面に対向し回路基板に取り付けられる回路基板取付面（105）とを有し、電氣的に絶縁性を有する樹脂材（112）により単層にて形成される基材（102）と、上記半導体素子取付面及び上記回路基板取付面にはほぼ直交し上記基材内を直線状に貫通して延在し、上記半導体素子と上記回路基板とを電氣的に接続する導電部材（103）と、を備えたことを特徴とする半導体素子実装用基板。

【請求項2】 上記導電部材は金属線にてなる、請求項1記載の半導体素子実装用基板。

【請求項3】 上記導電部材は、Cu、Au、Al、Ag、Pd、Ptの内の1種、又はこれらの内の1種を主成分とする合金からなる、請求項1又は2記載の半導体素子実装用基板。

【請求項4】 上記樹脂材は、250℃以上の耐熱性を有し、かつ15ppm以下の熱膨張率を有する液晶ポリマー材である、請求項1ないし3のいずれかに記載の半導体素子実装用基板。

【請求項5】 上記導電部材は上記回路基板取付面と同一面上に位置し外部電極端子となる端面を有する、請求項1ないし4のいずれかに記載の半導体素子実装用基板。

【請求項6】 上記導電部材は上記回路基板取付面より突出する突出部（106）を有する、請求項1ないし4のいずれかに記載の半導体素子実装用基板。

【請求項7】 上記突出部は尖端形状にてなる、請求項6記載の半導体素子実装用基板。

【請求項8】 フリップチップ実装方法にて半導体素子を取り付けられ電氣的に接続される半導体素子取付面（104）と、上記半導体素子取付面に対向し回路基板に取り付けられる回路基板取付面（105）とを有し、電氣的に絶縁性を有する樹脂材（112）により単層にて形成される基材（102）と、上記半導体素子取付面及び上記回路基板取付面にはほぼ直交し上記基材内を直線状に貫通して延在し、上記半導体素子と上記回路基板とを電氣的に接続する導電部材（103）と、を備えた半導体素子実装用基板（101）の製造方法において、上記導電部材を金型内に配列した後、上記基材を形成する上記樹脂材を上記金型内に注入して、上記導電部材と上記樹脂材とを一体的に成形することを備えたことを特徴とする半導体素子実装用基板の製造方法。

【請求項9】 上記成形後、上記基材の上記半導体素子取付面及び上記回路基板取付面に上記導電部材と電氣的に接続される配線を形成する、請求項8記載の半導体素子実装用基板の製造方法。

【請求項10】 上記基材の外表面は、上記成形後上記配線が形成される前に機械加工がなされる、請求項9記載の半導体素子実装用基板の製造方法。

【請求項11】 上記基材は、上記導電部材が配列された金型内に上記樹脂材が注入されて成形された基材塊（107）を、上記導電部材の軸方向に対して直交方向に沿って切断して形成される、請求項8ないし10のいずれかに記載の半導体素子実装用基板の製造方法。

【請求項12】 上記導電部材と上記樹脂材との接触面（103a）は、上記導電部材を金型内に配列する前に、上記導電部材と上記樹脂材との密着力を増すために粗面化処理を行う、請求項8ないし11のいずれかに記載の半導体素子実装用基板の製造方法。

【請求項13】 上記粗面化処理に代えて上記接触面には密着力増加剤（109）を塗布する、請求項12記載の半導体素子実装用基板の製造方法。

【請求項14】 上記樹脂材は、一つの導電部材について該導電部材を中心として対象に配置された少なくとも2つの注入口（111）から上記導電部材の軸方向に沿って流れるように注入される、請求項8ないし13のいずれかに記載の半導体素子実装用基板の製造方法。

【請求項15】 上記金型は、上記導電部材の軸方向の一端を保持しかつ上記導電部材の軸方向に沿って延在する上記注入口を備えた第1保持板（110）と、上記導電部材の他端を保持し上記軸方向に可動である第2保持板（114）と、注入された樹脂材による上記導電部材の軸方向への伸縮に応じて上記第2保持板を上記軸方向に移動可能とし上記導電部材にたわみが発生するのを抑制する圧力調整機構（115）と、を備えた、請求項14記載の半導体素子実装用基板の製造方法。

【請求項16】 上記樹脂材は、上記金型に保持された上記導電部材の軸方向の一端の近傍に設けられた複数の注入口（118）から上記一端近傍に向かって注入された後、上記導電部材の軸方向に沿って流れる、請求項8ないし13のいずれかに記載の半導体素子実装用基板の製造方法。

【請求項17】 フリップチップ実装方法にて半導体素子を取り付けられ電氣的に接続される半導体素子取付面（104）と、上記半導体素子取付面に対向し回路基板に取り付けられる回路基板取付面（105）とを有し、電氣的に絶縁性を有する樹脂材（112）により単層にて形成される基材（102）と、上記半導体素子取付面及び上記回路基板取付面にはほぼ直交し上記基材内を直線状に貫通して延在し、上記半導体素子と上記回路基板とを電氣的に接続する導電部材（103）と、を備えた半導体素子実装用基板（101）の製造方法において、上記半導体素子取付面と上記回路基板取付面とを貫通する貫通孔を形成するように上記樹脂材を金型に注入して上記基材を成形した後、上記貫通孔に上記導電部材を設

けることを備えたことを特徴とする半導体素子実装用基板の製造方法。

【請求項18】 上記導電部材を設けた後、上記基材の上記半導体素子取付面、上記回路基板取付面、及び上記貫通孔の内壁面に配線を形成する、請求項17記載の半導体素子実装用基板の製造方法。

【請求項19】 上記基材は、上記貫通孔を有して成形された基材塊を上記貫通孔の延在方向に対して直交方向に沿って切断して形成される、請求項17又は18記載の半導体素子実装用基板の製造方法。

【請求項20】 上記導電部材が上記回路基板取付面より突出した突出部(106)を形成した後、上記回路基板と接合するランド部を形成するため上記突出部分の塑性加工を行う、請求項8又は17記載の半導体素子実装用基板の製造方法。

【請求項21】 上記突出部分の形成は、上記基材と厚みと上記導電部材の長さとを同一とした後、厚み方向に上記基材のみを除去することによってなされる、請求項20記載の半導体素子実装用基板の製造方法。

【請求項22】 上記基材の除去は、ウェットエッチング、ドライエッチング、サンドブラスト、機械加工のいずれかにより行う、請求項21記載の半導体素子実装用基板の製造方法。

【請求項23】 上記配線の形成は、上記基材上に導体をメッキした後、エッチングにより配線を施す、又は配線が必要な部分にのみメッキを行うことによりなされる、請求項9又は18記載の半導体素子実装用基板の製造方法。

【請求項24】 上記配線の形成は、上記基材上に導電性のペーストを印刷し加熱することによってなされる、請求項9又は18記載の半導体素子実装用基板の製造方法。

【請求項25】 請求項1に記載の半導体素子実装用基板の半導体素子取付面に半導体素子を取り付けて電気的に接続して封止したことを特徴とする半導体装置。

【請求項26】 上記半導体素子の封止は、上記半導体素子実装用基板の厚み方向にほぼ平行な上記半導体素子実装用基板の側面(137)に沿って封止剤の端面を形成してなされる、請求項25記載の半導体装置。

【請求項27】 請求項1に記載の半導体素子実装用基板の半導体素子取付面に複数の半導体素子を取り付けて電気的に接続する工程と、
取り付けられた複数の半導体素子を封止用樹脂にて同時に封止する工程と、
上記半導体素子実装用基板と上記封止用樹脂とを上記半導体素子間で切断する工程と、を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子がフリップチップ方法にて取り付けられる半導体素子実装用基

板、該半導体素子実装用基板の製造方法、上記半導体素子実装用基板を使用した半導体装置、及び該半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、電子機器は携帯電話、パーソナルコンピュータ、ページャーなどに代表されるように、小型かつ高機能化が急激に進んで来ている。それに伴い、電子回路に使用される半導体の数は急激に増加している。一方、電子回路で使用される周波数帯域も高周波数化が進行しており、1GHz帯域まで使用されるに至っている。このような高周波帯域ではIC(集積回路)自身の処理速度に加え、電子回路の配線長が問題となる。このため、ICの実装形態として、パッケージICからベアICへ、ワイヤボンディング方式からフリップチップ実装方式へと移行しつつある。フリップチップ実装方式の中で、代表的な形態としてチップサイズパッケージ(以下、「CSP」と略す)と呼ばれる形態がある。この方式は半導体素子を一度専用の基板の上にフリップチップ方式にて実装し、封止した後にプリント配線板上へ実装するものである。

【0003】以下に図面を参照しながら上述したCSP実装方式のプロセスフローとCSPの構造について説明する。図21はCSPの構造を示す。キャリアと呼ばれる、半導体素子23をフリップチップ方法にて取り付けするための半導体素子実装用基板2は、従来、セラミック製の複数の基板を層状に重ねて製造される。このような半導体素子実装用基板2において電極2cが形成された半導体素子取付面2a側には半導体素子23が配置され、接合ランド部18が形成される回路基板取付面2b側にはプリント基板が配置される。電極2cと接合ランド部18とを電気的に接続するため、半導体素子実装用基板2の各層の間には層間導通部5が形成されている。半導体素子23において、アルミパッド23aには突起型の突起電極24が形成され、該突起電極24と半導体素子実装用基板2の半導体素子取付面2aに形成された電極2cとは、導電性ペースト25によって電気的に接続される。よって、半導体素子23とプリント基板とは電気的に接続される。尚、半導体素子23と半導体素子実装用基板2との接続部分は、封止剤26にて封止される。尚、この場合、半導体素子23において配線が施された面は半導体素子実装用基板2側に向いているためにフリップ(反転)チップ実装と呼ばれる。又、半導体素子実装用基板2は、各層間において各層に形成した電極間で配線を行うことで配線密度を向上させるために、図示するように多層基板の形態をとることが多い。しかし層間でも配線を行うことは、結果的に半導体素子実装用基板2中の配線長が長くなることにもなる。半導体素子実装用基板2の回路基板取付面2bのランド18は、ビアホール径よりも大きな形状を有しており、ビアの位置ズレを補えるような構造となっている。又、図21に

は、接合ランド18は平坦な形状のものを示しているが、ボールグリッドアレイ(BGA)と呼ばれる半田などの金属ボールを付与したものや、ピングリッドアレイ(PGA)と呼ばれる挿入部品のような長いピンを付与した形態のものも存在する。

【0004】図22は、上述の従来のCSPのプロセスフローを示す。まず、ステップ(図内では「S」にて示す)1にて、半導体素子23のアクティブ面上に形成されるアルミパッド23a上にバンプと呼ばれる突起電極24を形成する。次にステップ2にて、この突起電極24の高さを揃えるレベリングが行われる。ステップ3では、突起電極24上に導電性ペースト25を所望の量だけ転写する。次に、ステップ4にて、半導体素子23を反転させ、ステップ5にて導電性ペースト25が転写された突起電極24を半導体素子実装用基板2上に形成した電極2cへ実装する。この後、半導体素子23が半導体素子実装用基板2に対して配置位置がズレたり外れたりしないように、ステップ6にて一度導電性ペースト25を硬化させる。ステップ7にて半導体素子23と半導体素子実装用基板2との間に封止剤26を注入し、ステップ8にて封止剤26を硬化させてCSPを得る。このような半導体素子の実装技術をもって、電子機器の小型軽量化、薄型化を図っている。

【0005】

【発明が解決しようとする課題】しかしながら従来の半導体素子実装用基板2は以下のような問題点を有する。即ち、半導体素子実装用基板2の半導体素子取付面2a及び回路基板取付面2bに微細な配線パターンを形成するにはエッチング方法によるのが好ましいが、従来の半導体素子実装用基板2は上述のようにセラミック製であることから、エッチングを利用してその表面に配線を形成する場合には毒性のある特殊なエッチング液を使用しなければならない。よって、従来の半導体素子実装用基板2の表面における配線パターンの形成は、印刷方法によっており、微細な配線パターンを形成することができず、ICのファインピッチに対応することが困難である。又、上述のように、半導体素子実装用基板2の回路基板取付面2bにビアホールよりも大きな形状の接合ランド18を形成する必要があることも、上記ファインピッチへの対応を困難にしている。さらに又、上述のように微細な配線パターンが形成できない点を補うため、上述のように半導体素子実装用基板2を複数の層から形成し各層間で配線を行っている。よって、層間導通抵抗が高くなるという問題点がある。又、上述のように層間に導通部を形成するために貫通孔をあける必要がある。このように、複数層、層間の配線等の構造を有することから、従来の半導体素子実装用基板2は製造コストが高く、製造リードタイムが長いという問題点を生じる。さらに、プリント基板上への実装上の信頼性に問題があるという問題点があった。本発明はこのような問題点を解

決するためになされたもので、製造コストが安価であり、層間導通抵抗が低く、多ピンICに対応が可能であり、プリント基板上への実装上の信頼性を向上させ、製造リードタイムを短くし、生産性を向上させることが可能な半導体素子実装用基板、当該半導体素子実装用基板の製造方法、上記半導体素子実装用基板を使用した半導体装置、及び該半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の第1態様である半導体素子実装用基板は、フリップチップ実装方法にて半導体素子を取り付けられ電氣的に接続される半導体素子取付面と、上記半導体素子取付面に対向し回路基板に取り付けられる回路基板取付面とを有し、電氣的に絶縁性を有する樹脂材により単層にて形成される基材と、上記半導体素子取付面及び上記回路基板取付面にほぼ直交し上記基材内を直線状に貫通して延在し、上記半導体素子と上記回路基板とを電氣的に接続する導電部材と、を備えたことを特徴とする。

【0007】又、本発明の第2態様である半導体素子実装用基板の製造方法は、フリップチップ実装方法にて半導体素子を取り付けられ電氣的に接続される半導体素子取付面と、上記半導体素子取付面に対向し回路基板に取り付けられる回路基板取付面とを有し、電氣的に絶縁性を有する樹脂材により単層にて形成される基材と、上記半導体素子取付面及び上記回路基板取付面にほぼ直交し上記基材内を直線状に貫通して延在し、上記半導体素子と上記回路基板とを電氣的に接続する導電部材と、を備えた半導体素子実装用基板の製造方法において、上記導電部材を金型内に配列した後、上記基材を形成する上記樹脂材を上記金型内に注入して、上記導電部材と上記樹脂材とを一体的に成形することを備えたことを特徴とする。

【0008】又、本発明の第3態様である半導体素子実装用基板の製造方法は、フリップチップ実装方法にて半導体素子を取り付けられ電氣的に接続される半導体素子取付面と、上記半導体素子取付面に対向し回路基板に取り付けられる回路基板取付面とを有し、電氣的に絶縁性を有する樹脂材により単層にて形成される基材と、上記半導体素子取付面及び上記回路基板取付面にほぼ直交し上記基材内を直線状に貫通して延在し、上記半導体素子と上記回路基板とを電氣的に接続する導電部材と、を備えた半導体素子実装用基板の製造方法において、上記半導体素子取付面と上記回路基板取付面とを貫通する貫通孔を形成するように上記樹脂材を金型に注入して上記基材を成形した後、上記貫通孔に上記導電部材を設けることを備えたことを特徴とする。

【0009】又、本発明の第4態様である半導体装置は、請求項1に記載の半導体素子実装用基板の半導体素子取付面に半導体素子を取り付けて電氣的に接続して封

止したことを特徴とする。

【0010】又、本発明の第5態様である半導体装置の製造方法は、請求項1に記載の半導体素子実装用基板の半導体素子取付面に複数の半導体素子を取り付けて電気的に接続する工程と、取り付けられた複数の半導体素子を封止用樹脂にて同時に封止する工程と、上記半導体素子実装用基板と上記封止用樹脂とを上記半導体素子間で切断する工程と、を備えたことを特徴とする。

【0011】

【発明の実施形態】本発明の一実施形態である半導体素子実装用基板、該半導体素子実装用基板の製造方法、上記半導体素子実装用基板を使用した半導体装置、及び該半導体装置の製造方法について図を参照して説明する。尚、図中において、同一もしくは機能上同一である構成部分については同じ符号を付している。まず、上記半導体素子実装用基板について以下に説明する。図1に示される半導体素子実装用基板101は、一般的にキャリアと呼ばれる図14を参照して上述した半導体素子実装用基板2に相当するものであり、大別して、基材102と導電部材103とを備える。半導体素子実装用基板101の半導体素子取付面104にはフリップチップ方法にて半導体素子の取り付け及び電気的接続がなされ、半導体素子取付面101に対向する基材104の回路基板取付面105には回路基板の取り付け及び電気的接続がなされる。

【0012】導電部材103は、基材102の半導体素子取付面101及び回路基板取付面105にはほぼ直交して、かつ基材102内で互いに接触することなく基材102内を直線状に貫通して延在する。このような導電部材103は、半導体素子取付面104と回路基板取付面105との間の電気信号の伝達を行う層間導通部材であり、従来のビアホール又はスルーホールに相当するものである。導電部材103としては、Cu、Au、Al、Ag、Pd、Ptの内の1種からなる金属線、又はこれらのうち少なくとも1種を含む合金線を使用することができ、特にAuからなる導電部材103は、狭ピッチ、かつ多ピンのICに対応する際に容易に入手でき、酸化などの変質がなく安定した品質を維持でき、かつ低抵抗である点から好ましい。このような導電部材103は、例えば0.1～0.15mmの直径の金属線であって、例えば、基材102の半導体素子取付面104及び回路基板取付面105の周縁部分に沿って例えば0.3mmピッチにて配列される。

【0013】本実施形態では、基材102は樹脂材にて単層に成形される。上記樹脂材としては、特に、流動性がよいこと、半導体素子取付面104及び回路基板取付面105にメッキが可能であること、250℃以上の耐熱性を有すること、熱膨張率が15ppm以下であること、の特性を有するものである。又、上記樹脂材としては熱硬化性、熱可塑性のいずれの樹脂材をも使用するこ

とができるが、導電部材103との密着性、及び各導電部材103間への流入性を考慮すると、熱硬化性の樹脂が低粘度であることから好ましい。しかしながら、液晶ポリマーなどの熱可塑性樹脂も使用することができる。

【0014】詳細後述するが、このような構造を有する半導体素子実装用基板101は、予め導電部材103が金型内に配列され、該金型に上記基材102となる上記樹脂材を注入することで成形される。よって、半導体素子実装用基板101においては、従来の半導体素子実装用基板2と比べると、基材102と導電部材103とを一体成形ができることから、従来の半導体素子実装用基板に比べ製造工程が簡略化され、低コストのプロセスにて製造でき、かつ製造リードタイムを短くすることができる。又、従来のように層間導通部5に導電性ペーストを充填する際に発生する充填不良が発生せず、-55℃～125℃の熱衝撃試験を1000サイクル以上行っても動作不良となることはない。よって、半導体素子実装用基板101は、断線などに対する信頼性が向上する。さらに、導電部材103は半導体素子取付面104と回路基板取付面105との間の基材102内を直線状に延在することから、導通抵抗を低くすることができ、又、体積固有抵抗率の低い金属線を導電部材103として使用することにより、導通抵抗は、1mΩ以下となり、低く抑えることができる。又、導電部材103として金属線を使用することから、断線が生じにくく断線破壊に対する信頼性を向上させることができる。

【0015】又、本実施形態の半導体素子実装用基板101では、導電部材103の配置間隔を従来の半導体素子実装用基板2における層間導通部5の配置間隔よりも小さくすることができる。この理由を以下に説明する。従来の半導体素子実装用基板2の回路基板取付面2bには、図2において点線で示すように、ランド18が形成されていた。このランド18は、従来の半導体素子実装用基板2に形成される層間導通部5の直径よりも大きいものが必要である。よって、層間導通部5の配置間隔は、ランド18の径によって支配され、必要以上に広く取らねばならなかった。一方、本実施形態の半導体素子実装用基板101では、予め金属線にてなる導電部材103を設けておくことから、従来の半導体素子実装用基板2のように基材に孔をあけ該孔に導通部材を埋め込む必要がないこと、後述するように半導体素子実装用基板101では回路基板取付面105にエッチングにて配線を施すことから、回路基板取付面105にランドを形成する必要がない。よって、従来の半導体素子実装用基板2のように導電部材103の配置間隔がランドの径によって支配されるというようなことはなくなる。したがって、導電部材103の配置間隔を小さくすることが可能となり、狭ピッチ多ピンのICに対応することが可能となる。

【0016】又、本実施形態の半導体素子実装用基板101において、図3に示すように、回路基板取付面105を越えて回路基板201側へ導電部材103を突出させて突出部106を形成してもよい。尚、突出部106は、外部電極端子としての機能を果たす。このように突出部106を設けることで、導電部材103と回路基板201に形成されたランド202との電氣的接続に用いる接合材料220、即ち一般的には半田が突出部106に濡れ広がり、突出部106を伝って半導体素子実装用基板101側に吸い上げられる。このように、突出部106を設けることで、接合材料220は、熔融状態において突出部106と回路基板201上のランド202との間でメニスカスを形成する。よって、半導体素子実装用基板101における導電部材103の配置間隔を例えば0.3mmとしても、回路基板201において隣接するランド202間にて、例えばブリッジ等の不具合が発生することを防ぐことができ、多ピンの半導体素子に対応することができる。

【0017】又、上述した突出部106を図4に示すように、回路基板201に向かい先細りとした尖端形状とすることもできる。尚、該尖端形状としては例えば円錐形状である。このように突出部106を尖端形状とすることで、突出部106とランド202との接触面積が小さくなり、ランド202と突出部106との摩擦力が小さくなるため、突出部106が溶融した半田220から表面張力を受けることで、突出部106がランド202上を容易に摺動することができる。よって、セルフアラインメント効果により、突出部106の先端部106aがランド202の中央部に配置される。従って、配置間隔が0.5mmであるランド202に対して、半導体素子の回路基板201への実装の位置精度が±0.1mmである場合でも、位置ズレを防ぐことができた。

【0018】又、上述の突出部106を図5に示すように半円形状であって、回路基板201上の配線と電氣的に接合される接合ランド部120として形成することもできる。このような接合ランド部120は、図6の

(a)～(c)にて示すプロセスにて作成される。まず、上述したように突出部106を形成する。次に、図6の(b)に示すように、突出部106を所望の形状とするように設計された金型121にセットし、上下より圧力を加えて突出部106を金型の形状に変形させて、接合ランド部120を成形する。このような接合ランド部120は、導電部材103の径よりも大きくなる。よって、導電部材103が半導体素子実装用基板101から衝撃などの力により脱落することを防止することができる。又、回路基板201へ半導体素子実装用基板101を実装する際に使用される半田の形状は、半導体素子実装用基板101に形成される接合ランド部120の形状に左右されることが経験的に知られているため、接合ランド部120を所望の形状に加工することで半導体素

子実装用基板101と回路基板201との十分な接合強度を確保することができる。又、所望形状の接合ランド部120を同時に多数にて加工することができるため、製造リードタイムを短くすることができる。尚、上述のような導電部材103の先端を半円形状とすることで、回路基板取付面105に対して導電部材103の先端がなだらかに変化することから、熱膨張差などによる応力集中が生じないため信頼性を向上させることができる。

【0019】尚、突出部106は、上述したように、回路基板取付面105を越えて回路基板201側へ導電部材103を突出させて形成してもよいし、以下に説明するように、回路基板取付面105側の基材102を除去して導電部材103を突出させてもよい。即ち、図2に示すように、半導体素子実装用基板101の回路基板取付面105と導電部材103の端面とが同一面となるように半導体素子実装用基板101を成形した後、基材102を所定の厚みにまで除去する。この除去方法として、強アルカリ液を使用する方法、ドライエッチを行う方法、サンドブラスト、バフ研磨を行う方法などがある。これらの除去方法の選択は、基材102に使用される樹脂材によって異なる。例えば、基材102にエポキシ樹脂を用いた場合には、RIE（反応性イオンエッチング）法を用い、雰囲気気体として Cl_2 を50sccm、30mTorr、出力300Wの条件にてドライエッチを行なうことで基材102のみをエッチングすることができる。これにより、基材102のみが除去されることになり、基材102を成形後に所定寸法に切断し、半導体素子実装用基板101に突出部106を形成することが可能となった。従って、形成された半導体素子実装用基板101のままでは所望の接合強度が得られない場合であっても、半導体素子実装用基板101における上記接合ランド部の形状を加工することで所望の接合強度を得ることができる。

【0020】次に、上述したような半導体素子実装用基板101の製造方法を説明する。図7に示すステップ101において、導電部材103を金型内にセットする。尚、この工程は、半導体素子取付面104と回路基板取付面105との導通部の形成を行うためのものであり、図23に示す従来の半導体素子実装用基板2の製造プロセスのステップ14における、セラミックグリーンシートへのパンチングによる穴加工に対応するものである。本実施形態においては、一度に導電部材103をグリッド状に65個形成した。次に、ステップ102にて、基材102を形成するように上記金型内に上述した樹脂材を各導電部材103間にも充填されるように注入して、半導体素子実装用基板101を成形する。この後、ステップ103にて、半導体素子実装用基板101の半導体素子取付面104及び回路基板取付面105上に配線を施す。図23に示す製造工程と図7に示す製造工程とを比べても明らかなように、本実施形態における半導体素

子実装用基板101の製造工程は非常に簡略化することができる。よって、半導体素子実装用基板101を低コストにて製造することができる。

【0021】又、図8に示すように、上記ステップ102とステップ103との間に、ステップ104として、成形した半導体素子実装用基板に対して機械加工を施す工程を追加するのが好ましい。尚、ステップ104における上記機械加工として、例えば、上記半導体素子実装用基板を所望の大きさに切断する加工がある。即ち、図9に示すように、ステップ101及びステップ102を経て成形された、2点鎖線にて示す半導体素子実装用基板の基材塊107を、切断線108にて切断することで、成形の際に使用する金型の制約なしに半導体素子実装用基板101の形状を決定することができる。本実施形態においては、17×12mmの金型にて基材塊107を成形した後、ステップ104にて15×6mmの矩形に機械加工した後、ステップ103にて半導体素子取付面104及び回路基板取付面105上に配線を施した。

【0022】さらに又、図10に示すように基材塊107を成形した場合、切断線108にて層状をなすように切断することもできる。この場合、切断後の半導体素子実装用基板101における半導体素子取付面104及び回路基板取付面105には、導電部材103が露出することになる。このような切断方法としては、ワイヤカット、メタルソーによる切断などが挙げられるが、切断面の精度、生産性を考慮した場合、研削切断が望ましい。本実施形態では、人造ダイヤモンドの砥粒を付着させたブレードを8000rpmで回転させて切断した。所定の厚みに基材塊107を切断した後、上述のように、半導体素子実装用基板101の半導体素子取付面104及び回路基板取付面105の必要部分に配線を施す。尚、上述の説明及び図10では、基材塊107から複数の半導体素子実装用基板101を切り出す場合を示すが、もちろん、一枚の半導体素子実装用基板101を切り出してもよい。このように、従来に比べ製造工程が簡略化されて製造される基材塊107に対して、単に切断動作を加えるだけで、一つの基材塊107から連続的に複数枚の半導体素子実装用基板101を製作することから、本実施形態における半導体素子実装用基板の製造方法は、製造リードタイムを短く、かつ低コストを実現することができる。

【0023】次に、導電部材103と基材102を形成する上記樹脂材との密着性、接着性をより良くした半導体素子実装用基板101について説明する。半導体素子における回路形成面に形成されている回路は、シリコンあるいはアルミ蒸着膜で作成されることが多く、水分やイオンなどに対して極めて弱い性質を持つ。このため、半導体素子を実装する場合、該半導体素子を封止するのが一般的である。しかしながら、半導体素子実装用基板

101における導電部材103と上記樹脂材との密着性又は接着性が悪い場合には、その界面から水分が侵入し、信頼性試験、特にPCT（プレッシャー・クッカー・テスト）試験に耐えられない場合がある。このため、導電部材103と上記樹脂材とを十分に密着、接着させるための接合層が必要となる。そこで本実施形態では、図11に示すように、導電部材103において上記樹脂材との接触面103aに密着力増加剤109を塗布した。このように密着力増加剤109を塗布することで接触面103aと基材102との密着性、接着性が向上し、接触面103aへの水分やイオンの侵入を防ぐことができる。尚、密着力増加剤109として、本実施形態では半導体封止用の樹脂を用いた。導電部材103に密着力増加剤109を塗布した半導体素子実装用基板101の信頼性試験の結果を表1に示す。

【0024】

【表1】

PCT試験 121℃、2気圧、300時間後	
未処理品	処理品
25時間後断線	断線せず

【0025】表1から明らかなように、導電部材103に密着力増加剤109を塗布することで断線が生じず、信頼性が向上する。尚、密着力増加剤109は、上述の半導体封止用の樹脂材に限られず、導電部材103と基材102との接着性、密着性が向上するものであればよい。又、導電部材103と基材102との接着性、密着性を向上させるため、密着力増加剤109の塗布に代えて、導電部材103における基材102との接触面に粗面化処理を施してもよい。

【0026】次に、上述のステップ103に示す、半導体素子実装用基板101への配線の形成方法について説明する。図12には、半導体素子実装用基板101の半導体素子取付面104部分の断面の模式図を示す。図12に示すように、半導体素子取付面104上に導体膜122を形成する。尚、半導体素子実装用基板101の基材102として使用される樹脂材には、本実施形態では住友化学工業（株）社製LCPスミカスーパーE6510Pを用い、半導体素子取付面104に酸及びアルカリ処理にて上記導体膜122をメッキ処理した。該メッキ処理により、半導体素子実装用基板101の基材102における半導体素子取付面104には、図12に示すように、微小な凹部123が形成される。この凹部123に析出した導体のアンカー効果により導体膜122と基材102との密着力を確保することができた。また、導体膜122と導電部材103との界面124では金属結合が形成され、強固な接合を得ることができた。このような導体膜122をエッチングすることで配線が行われる。又は、配線部分にのみ導体膜122をメッキしてもよい。

【0027】又、図13には、導電性ペーストの印刷法により配線を施す場合が示されている。図13においては125はマスク、126はスキージ、127は導電性ペーストで、本実施形態においてはエポキシ系の樹脂に銅粉を分散させた導電性ペーストを用いた。尚、導電性ペースト127の樹脂材として、本実施形態では日本石油化学(株)社製I.C.P.ザイダーG330を用いた。図13に示すような印刷法により、半導体素子取付面104及び回路基取付面105上に配線を形成した後、加熱して導電性ペースト127の樹脂材を硬化させることで配線工程を完了させた。導電性ペースト127の樹脂材の硬化精度は配線ピッチによってその範囲が異なるが、所望の精度に調節することで、にじみやショートなどの不良を無くすることができた。この方法により形成された配線は目視で見られなかった。又、非メッキグレーの回路基に対しては配線の密着強度を得ることができた。尚、本実施形態においては、エポキシ系の樹脂材に銅粉を分散させた導電性ペースト127を用いたが、例えば炭素系(株)社製独立分散超微粒子を用いた焼結型ペーストを用いても同様の結果を得ることができ、このような導電性ペースト127を使用した配線方法では、上述した半導体122のメッキが不可能な基材102に対しても半導体を形成することができ、上記メッキの可能性を考慮することなく、所望の特性を有する樹脂材を基材102の材料として選択することが可能となり、幅広い半導体素子を実装することが可能となる。

【0028】次に、上述の半導体素子実装用基板101を成形するための金型について説明する。図14は、金型の一壁面を構成する板材であって、導電部材103の軸方向の一端を保持した第1保持板110の平面図である。尚、図14において、導電部材103は紙面に対して直交方向に延在するものであり、基材102を形成する樹脂材112を当該金型内に注入するための注入口111が、該第1保持板110を上記直交方向に貫通して設けられている。注入口111は、図示するように、一つの導電部材103を中心として該導電部材103に対して対象となる位置に複数配置される。各導電部材103に対して上述のように注入口111を配置することにより、導電部材103の側面に沿って樹脂材112が流入することから、樹脂材112の注入により導電部材103がその軸方向に対して直交する方向に力を受けることは少ない。よって、導電部材103は取り付けられた位置の精度を保ったまま、基材102内に埋設することができる。従って、単一の注入口から上記樹脂材112を金型内に流入させた場合に比べて、導電部材103の位置ずれを10%以下に抑えることができた。よって、半導体素子実装用基板101の製造歩留まりを向上させることができる。

【0029】図15は、導電部材103の周囲をその軸方向に流れる上記樹脂材112の挙動を示したもので、

樹脂材112は、矢印113にて示す方向に流れる。樹脂材112は、注入口111から金型内に入った後、径を拡げながら流れる。このため、樹脂材112の粘性と流入速度に依存する力によって導電部材103はかかり位置ズレを起こそうとする。しかし、図15より明らかなように、導電部材103は、樹脂材112のファウンテンフローによる伸長応力の影響を受けないため、その周囲から均等で静水圧的な力が与えられる。よって、樹脂材112の流入による導電部材103の位置ズレを抑えることができる。

【0030】図16には、樹脂材112の注入による導電部材103の位置ずれを、より効果的に押さえる機構を示している。図16において、導電部材103の軸方向に可動であり当該金型の一壁面を構成する第2保持板114に、導電部材103の他端は保持される。第2保持板114には以下に説明する作用を行う圧力調整機構115が取り付けられる。圧力調整機構115は、上記第1保持板110と第2保持板114とによって両端が保持された導電部材103が樹脂材112の注入による撓みや上記位置ずれを生じないように、導電部材103に引張力を与えるものである。具体的には、圧力調整機構115は、樹脂材112の注入力と圧力調整機構115の圧力との圧力差に応じて導電部材103の軸方向に沿って第2保持板114を移動させるものである。尚、圧力調整機構115の具体的な構造として、スプリングや、板バネ等の弾性部材が使用できる他、圧縮性流体、特に空気が経済的面や調整面で好ましい。このような圧力調整機構115を設けることで、注入口111から金型内に流入した樹脂材112が第2保持板114に圧力を加えたとき、第2保持板114は移動するため、導電部材103に張力を加えることになる。よって、上記張力により導電部材103の撓みを小さくすることができる。又、第2保持板114は可動であることから樹脂材112の注入により導電部材103に作用する引張力を調整できることから、樹脂材112の射出圧力を上昇させることも可能となる。又、第2保持板114に導電部材103に対する加圧機構をとりつけ、導電部材103を順次金型内へ送り込むとともに圧力調整機構115を段階的に図内の右方向へ移動させることで、順次所定の長さだけ成形することが可能となるため、フープ成形の如く連続的に成形することが可能である。

【0031】他の金型の構造について図17を参照し説明する。図17に示す金型では、図14及び図16を参照して説明した金型の場合に比べ樹脂材112の注入口の配置場所が異なる。即ち、図17に示す金型では、樹脂材112の注入口118は、導電部材103の一端を保持する第3保持板116の近傍に設けられ、樹脂材112が導電部材103と第3保持板116との保持部分に向かい、かつ第3保持板116の中心部に向けて流れるような角度にて設けられる。又、注入口118は、第

3保持板116を平面的に見たとき、対向する少なくとも2箇所に配置される。尚、注入口118の上記角度、配置位置及び開口径は、導電部材103に加わる力を減少させる作用を負うもので、樹脂材112の熔融粘度と固化速度に依存するものである。

【0032】上述のように注入口118を設けることで、図17に矢印119にて示すような流れに沿って樹脂材112が金型内の空間117へ流入する。よって、導電部材103の軸方向に対してほぼ直交する方向から注入される樹脂材112に対して、導電部材103の位置ずれを抑えることができる。このことは、例えば片持ちはりのたわみ量を考えれば、以下のように考えられる。片持ちはりの固定端からの位置 x におけるたわみ量 y は等分布荷重 p がはりに与えられているとして、

$$y = p x^4 / 8 E I$$

と表すことができる。ここで、 E は導電部材103のヤング率、 I は導電部材103の断面二次モーメントである。この等分布荷重 p は流体に対しては抗力なる力にて与えられ、この抗力を D で表せば、

$$D = C_D \rho V^2 S / 2$$

となる。ここで、 C_D は物体の抗力係数と呼ばれる数値であり、その形状に依存する無次元数である。 ρ は流体の密度、 V は流体の速度、 S は導電部材103の流体の流れに垂直な面への投影面積である。流体は樹脂材112であるからその密度は1と見積ることができる。したがって導電部材103のたわみ量 y は

$$y = C_D \rho V^2 S x^4 / 16 E I$$

となる。したがって流体である樹脂材112を可能な限り第3保持板116の近傍の導電部材103の保持部分に向けて流入させることで、導電部材103の撓みを小さくすることができる。尚、樹脂材112が充填される空間117における導電部材103の長さを短くすることでも同様の効果を得ることができる。上述の説明では、片持ちはりの例を取り上げたが、両端固定はりの場合でも、分母の8が384となるだけであり原理としては同様のことである。又、図17に示すように注入口118を設けた場合と、注入口を1箇所に設けた場合とにおける、導電部材の位置ずれの量を表2に示す。

【0033】

【表2】

注入口 1ヶ所	本実施形態
400 μ m	50 μ m

【0034】表2から明らかなように、図17に示す場合の方がずれ量が少なく良好であることが分かる。

【0035】尚、図7及び図8を参照して説明した半導体素子実装用基板101の製造方法、並びに図14～図17を参照して説明した半導体素子実装用基板101の基材102を成形するための金型においては、いずれも導電部材103を予めセットする場合を示しているが、

以下に説明するように、まず導電部材103を挿入する穴を形成した後、該穴に導電部材103を挿入して半導体素子実装用基板を製造することもできる。即ち、所望の大きさの空間を持つ金型内に所定の寸法の柱を立設するか、又は所定の寸法の柱を有する金型を用意し、半導体素子実装用基板に要求される成形条件によって、上記空間内に樹脂材112を注入する。しかる後に固化した樹脂材112のみを金型内から取り出す。このようにして穴があいた基材が形成されることになる。この後、上記基材に形成された上記穴に対して該穴と同寸法の導電部材を挿入するか、又は導電性のペーストを充填する。上記導電部材又は導電性ペーストが半導体素子実装用基板の半導体素子取付面側から回路基板取付面側へ電気信号を伝える経路となる。従来は半導体素子実装用基板を構成する1つの層状板について1穴ずつ加工して導通部を形成していたが、上述した製造方法を用いることで、複数の上記穴を一度に形成することが可能となり、穴加工コストを低く抑えることができる。又、穴を形成するための上記柱は金型に固定されているため、従来のパンチング工法にて生じる位置ズレがなく、精度良く導通部を形成することができる。

【0036】又、上述の穴を形成した基材に対して、上記穴の内壁を含む上記基材の全ての表面に一度導体をメッキする。この後、必要な部分の導体を残しその他の導体をエッチングなどの方法にて除去することで配線を行うことができる。このような方法においては、従来のプリント配線板に使用していたメッキ設備が使用できるため、設備投資の必要がなくなる。

【0037】次に、上述した半導体素子実装用基板101を使用して該半導体素子実装用基板101の半導体素子取付面104に半導体素子を取り付け、電気的に接続して形成される、半導体装置130について図18～図20を参照して説明する。まず、半導体素子131について、図20のステップ111にて、半導体素子131の回路形成面132に形成された電極部133上に突起電極134が形成される。ステップ112にて、それぞれの突起電極134についてレベリングが行われ、ステップ113にてそれぞれの突起電極134に導電性ペースト135が転写される。導電性ペースト135が転写後、ステップ114にて、半導体素子131の回路形成面132を半導体素子実装用基板101の半導体素子取付面104に対向させる。一方、図18に示すように、半導体素子実装用基板101の半導体素子取付面104には、上述したように配線128及びランド129が形成されている。よって、ステップ115にて、半導体素子実装用基板101のランド129と、半導体素子131の突起電極134とが導電性ペースト135を介して電気的に接続される。ステップ116では、導電性ペースト135が硬化される。このようにして半導体素子実装用基板101の半導体素子取付面104側に半導体素

子131が実装される。そして、ステップ117にて、半導体素子131は半導体素子取付面104に封止剤136にて封止され、ステップ118にて封止剤136が硬化される。そして半導体素子実装用基板101上に複数の半導体素子131が実装された場合には、ステップ119にて、各半導体素子131間にて半導体素子実装用基板101の厚み方向に切断される。このようにして半導体装置130が形成される。尚、半導体装置130は、半導体素子実装用基板101の回路基板取付面105に形成されているランド136と回路基板201に形成されているランド202とを導電性の接合材料220にて接続することで、図示するように回路基板201に取り付けられる。

【0038】このように構成された半導体装置130では、上述したように製造コストが安価であり製造リードタイムが短い半導体素子実装用基板101を使用することから、製造コストが安価であり製造リードタイムが短い半導体装置を提供することができる。又、半導体素子131と回路基板201との熱膨張率の不整合を半導体素子実装用基板101が吸収するため、回路基板に直接半導体素子を実装する場合に比べ、回路基板との接合信頼性が向上する。又、KGD（ノウングットダイ）と呼ばれる半導体素子の良否判別においても、半導体素子単体ではその実施は困難であるが、半導体素子実装用基板101を介在させ、半導体素子の電極ピッチを拡大することで容易に実施することができる。さらに、上述のように半導体素子実装用基板101が低コストで製造できるため、半導体素子131が不良である場合にもロスコストを低く抑えることができる。又、半導体素子実装用基板101をKGDに使用するソケットとしても使用することも可能である。尚、本実施形態では、半導体素子131を突起電極134及び導電性ペースト135を介在させて半導体素子実装用基板101に電氣的に接続したが、半導体素子131と半導体素子実装用基板101とをAuとAu、AuとSnの金属的な接合により電氣的に接続させてもかまわない。

【0039】又、図19に示すように、半導体素子実装用基板101の側面137の延長線に沿って封止剤136の端面136aが形成されるように封止剤136を注入するのが好ましい。尚、このように封止剤136を注入する場合、図19では封止剤136の上面136bは、半導体素子131の上面131aと同一レベルとしているが、2点鎖線138にて示すように同一レベルとしなくてもよい。このように構成された半導体装置140では、半導体素子131の回路形成面132を保護する封止剤136の厚みが従来の半導体装置の構造に比べて厚くなっているため、水分の侵入に対する抵抗力が強い。よって、従来では信頼性試験で不良となっていたものでも信頼性試験を合格させることができ、水分に対する信頼性を向上させることができる。尚、表3に従来の

形態と本実施形態とのPCT試験結果の比較を示す。

【0040】

【表3】

PCT試験 121℃、2気圧	
従来	本実施形態
100時間	500時間

【0041】

【発明の効果】以上詳述したように本発明の第1態様の半導体素子実装用基板並びに第2及び第3態様の半導体素子実装用基板の製造方法によれば、基材は樹脂材にて単層からなり、導電部材は樹脂材にてなる基材内を直線状に貫通して延在する構造であり、かかる構造は、予め導電部材を配列した金型内に上記樹脂材を注入することでなされることから、従来に比べ製造工程が簡略化でき、従って低コストであって、製造リードタイムが短く、その結果、生産性を向上させることができる。又、上述のように上記導電部材は上記基材内を直線状に延在することから、従来に比べて導通抵抗を低くすることができ、又、回路基板への実装上の信頼性を向上することができる。又、上述のように上記導電部材は予め上記基材内に設けられることから、回路基板取付面に従来のようなランドを形成する必要がなくなり、導電部材の配置間隔を従来より狭くすることができる。よって、多ピンICに対応が可能となる。

【0042】又、本発明の第4態様の半導体装置、及び第5態様の半導体装置の製造方法によれば、上述した半導体素子実装用基板を使用することから、従来に比べ製造工程が簡略化でき、従って低コストであって、製造リードタイムが短く、その結果、生産性を向上させることができる。又、多ピンのICにも対応可能であり、回路基板への実装上の信頼性を向上することができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態の半導体素子実装用基板の構造を示す断面図である。

【図2】 図1に示す半導体素子実装用基板の導電部材と回路基板との電氣的接続部分における一構成例を示す断面図である。

【図3】 図1に示す半導体素子実装用基板の導電部材と回路基板との電氣的接続部分における他の構成例を示す断面図である。

【図4】 図1に示す半導体素子実装用基板の導電部材と回路基板との電氣的接続部分におけるさらに他の構成例を示す断面図である。

【図5】 本発明の他の実施形態の半導体素子実装用基板の構造を示す断面図である。

【図6】 (a)ないし(c)は、図5に示す半導体素子実装用基板に形成される接合ランド部の形成方法を説明するための図である。

【図7】 図1に示す半導体素子実装用基板の製造方法

の一例を示すフローチャートである。

【図8】 図1に示す半導体素子実装用基板の製造方法の他の例を示すフローチャートである。

【図9】 図1に示す半導体素子実装用基板の製造方法の一例を説明するための、半導体素子実装用基板の斜視図である。

【図10】 図1に示す半導体素子実装用基板の製造方法の他の例を説明するための、基材塊の斜視図である。

【図11】 図1に示す半導体素子実装用基板の導電部材と基材との間に密着力増加剤を設けた場合を示す断面図である。

【図12】 図1及び図5に示す半導体素子実装用基板に配線を施す際に、導体膜を形成した場合を示す半導体素子実装用基板の断面図である。

【図13】 図1及び図5に示す半導体素子実装用基板に配線を施す方法を説明するための図である。

【図14】 図1に示す半導体素子実装用基板を製造する際に使用する金型の第1保持板を示す平面図である。

【図15】 図1に示す半導体素子実装用基板を製造する際に使用する金型内において樹脂材の流れ方を示す図である。

【図16】 図1に示す半導体素子実装用基板を製造する際に使用する金型の第2保持板及び圧力調整機構を示

す図である。

【図17】 図1に示す半導体素子実装用基板を製造する際に使用する金型の他の例を示す断面図である。

【図18】 本発明の他の実施形態である半導体装置の構造を示す断面図である。

【図19】 図18に示す半導体装置の他の例を示す断面図である。

【図20】 図18及び図19に示す半導体装置の製造方法を示すフローチャートである。

【図21】 従来の半導体装置の構造を示す断面図である。

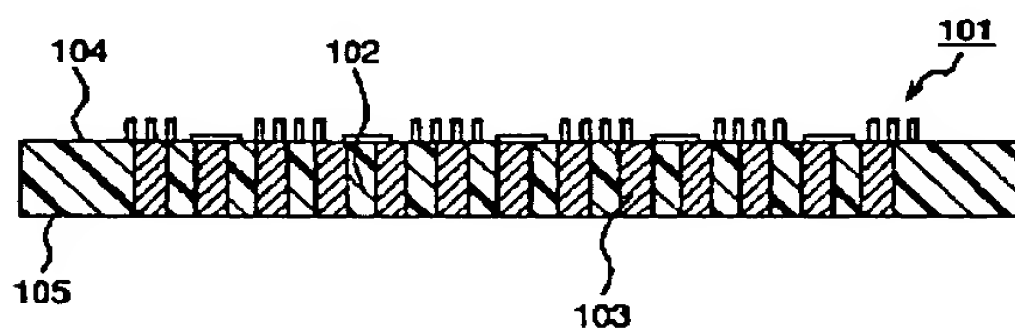
【図22】 従来の半導体装置の製造方法を示すフローチャートである。

【図23】 従来の半導体素子実装用基板の製造方法を示すフローチャートである。

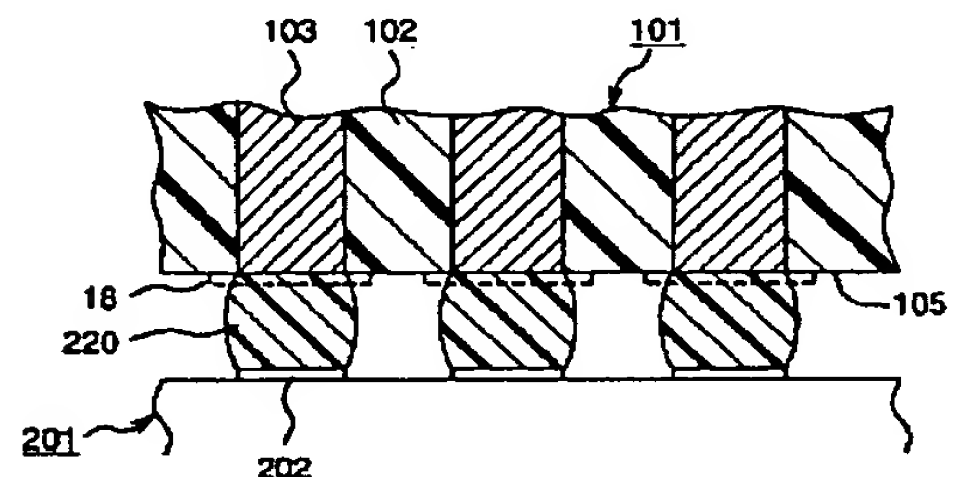
【符号の説明】

101…半導体素子実装用基板、102…基材、103…導電部材、104…半導体素子取付面、105…回路基板取付面、106…突出部、107…基材塊、109…密着力増加剤、110…第1保持板、111…注入口、112…樹脂材、114…第2保持板、115…圧力調整機構、116…第3保持板、118…注入口、201…回路基板。

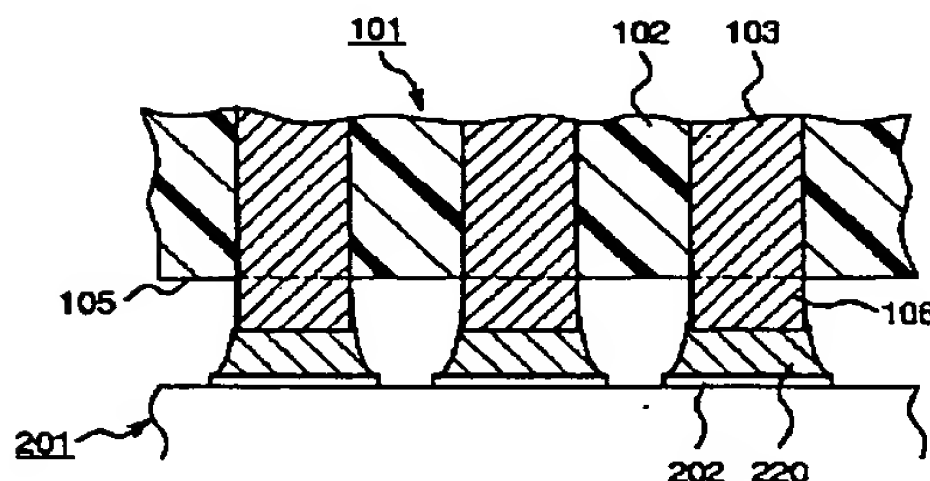
【図1】



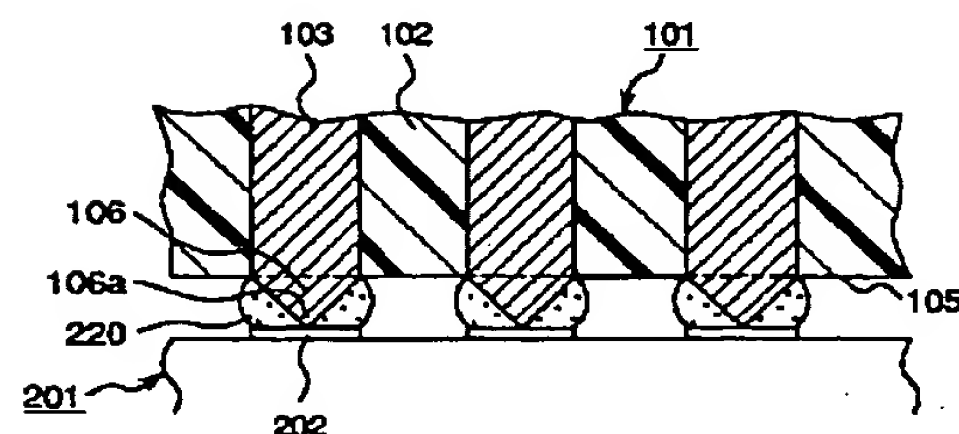
【図2】



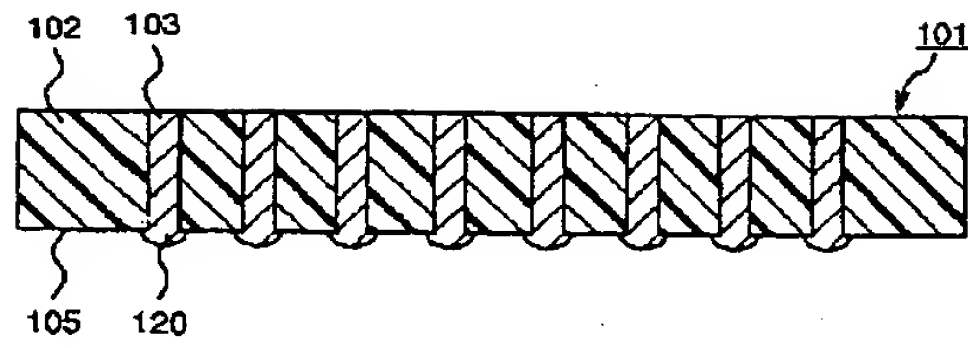
【図3】



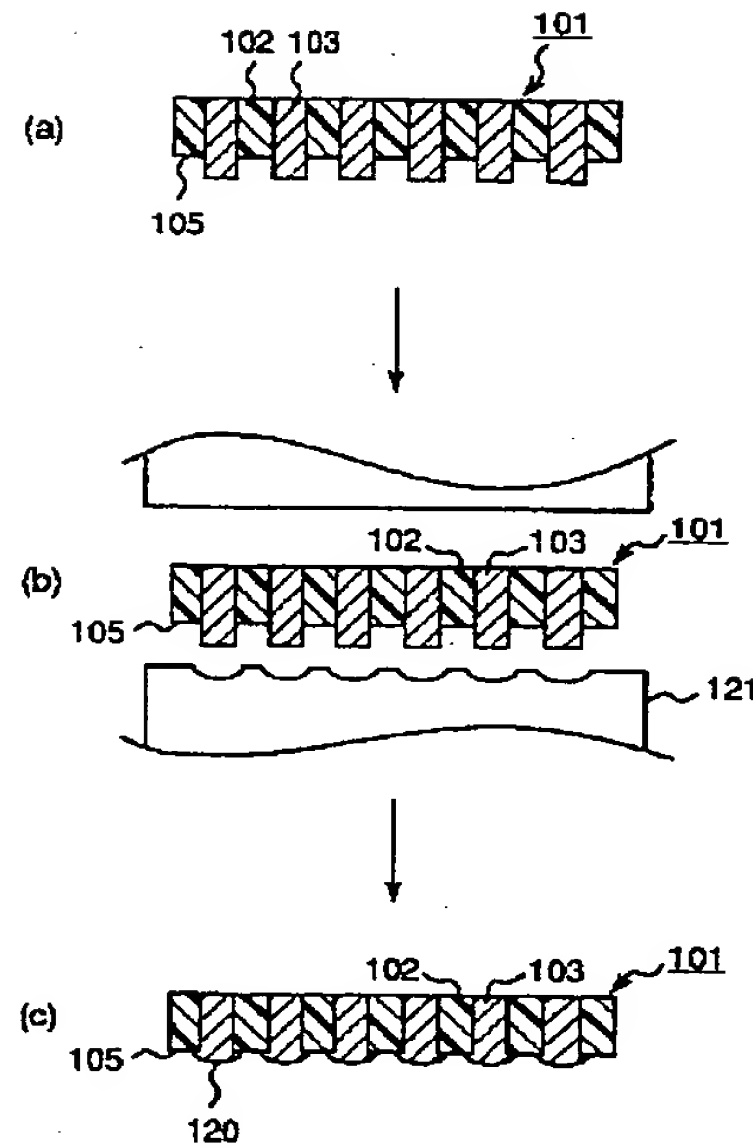
【図4】



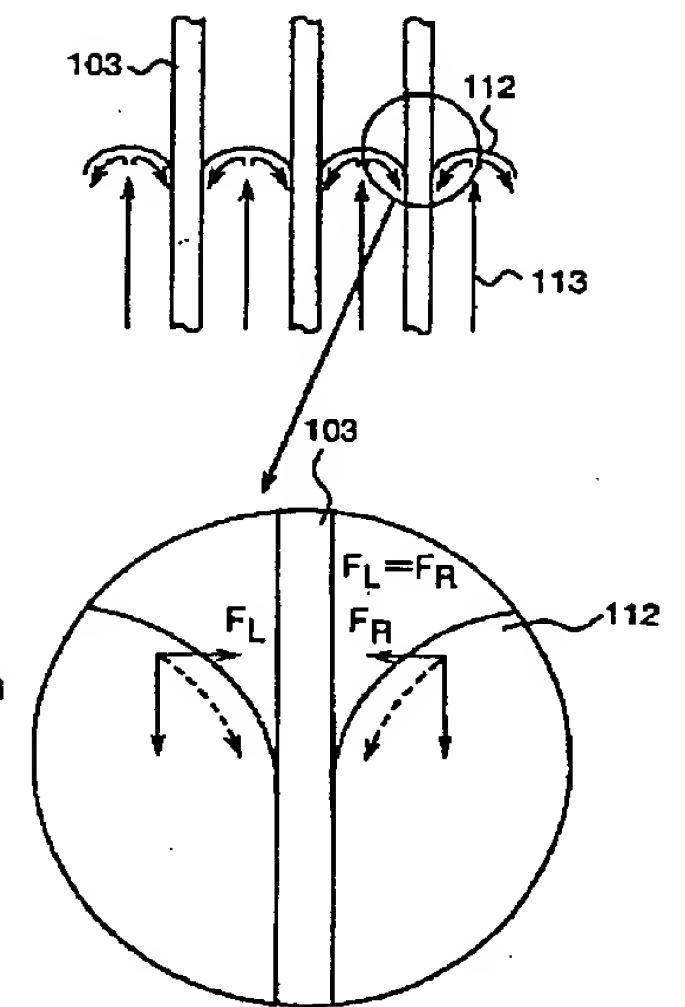
【図5】



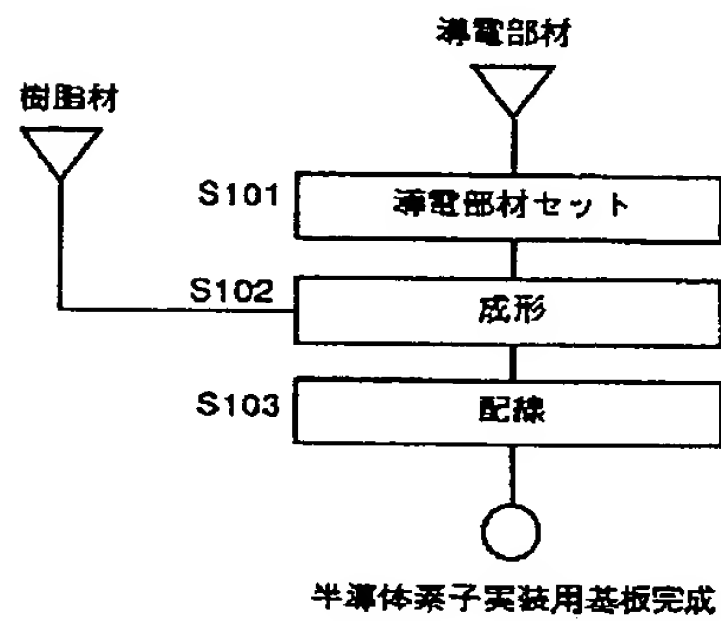
【図6】



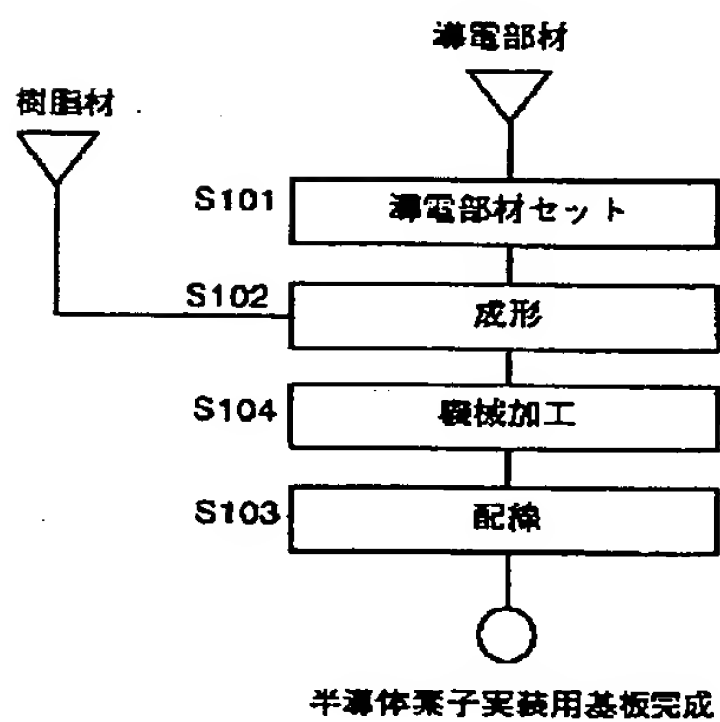
【図15】



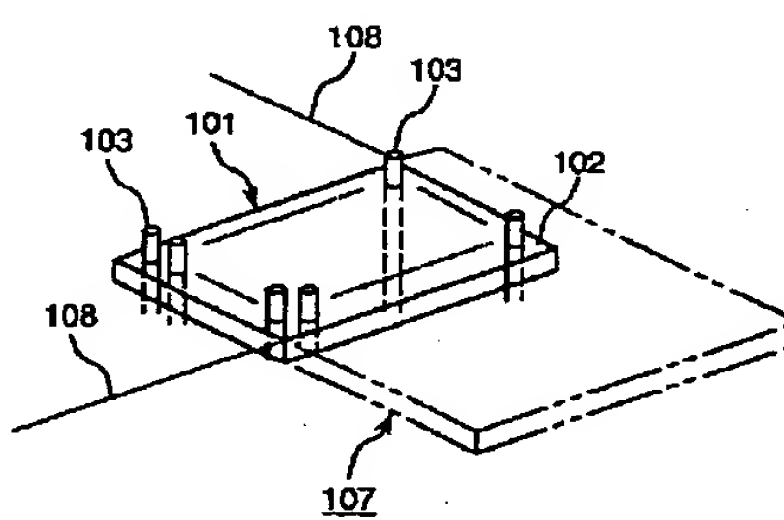
【図7】



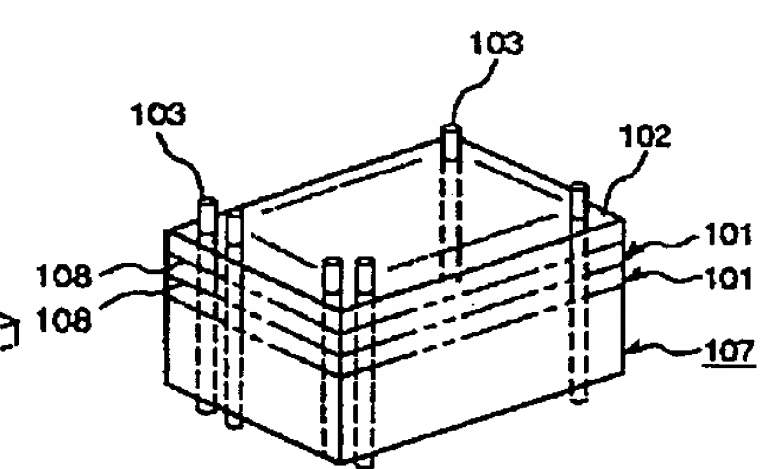
【図8】



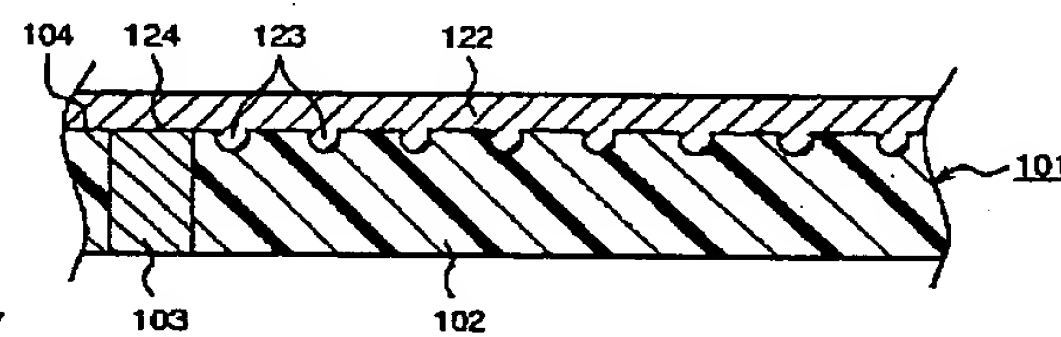
【図9】



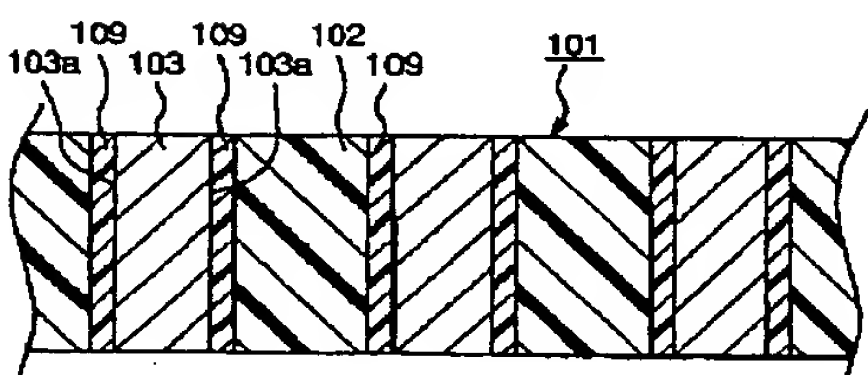
【図10】



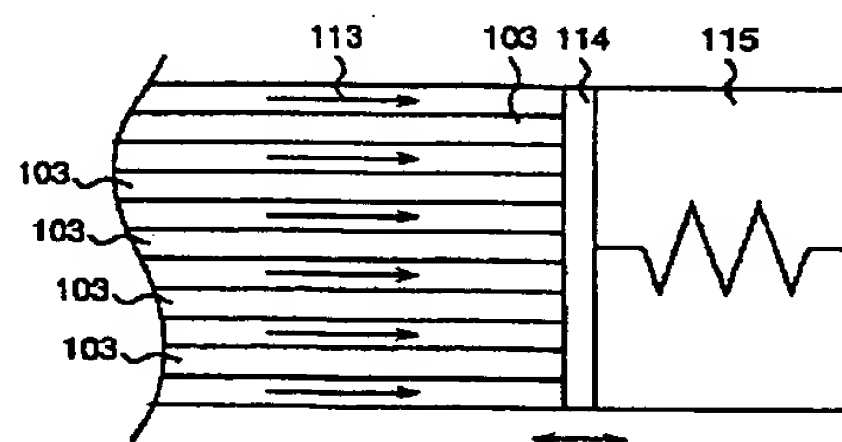
【図12】



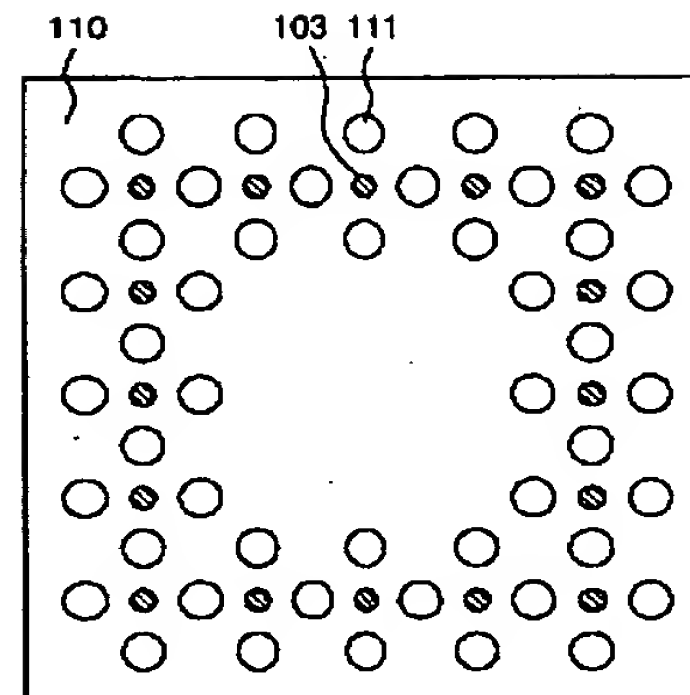
【図11】



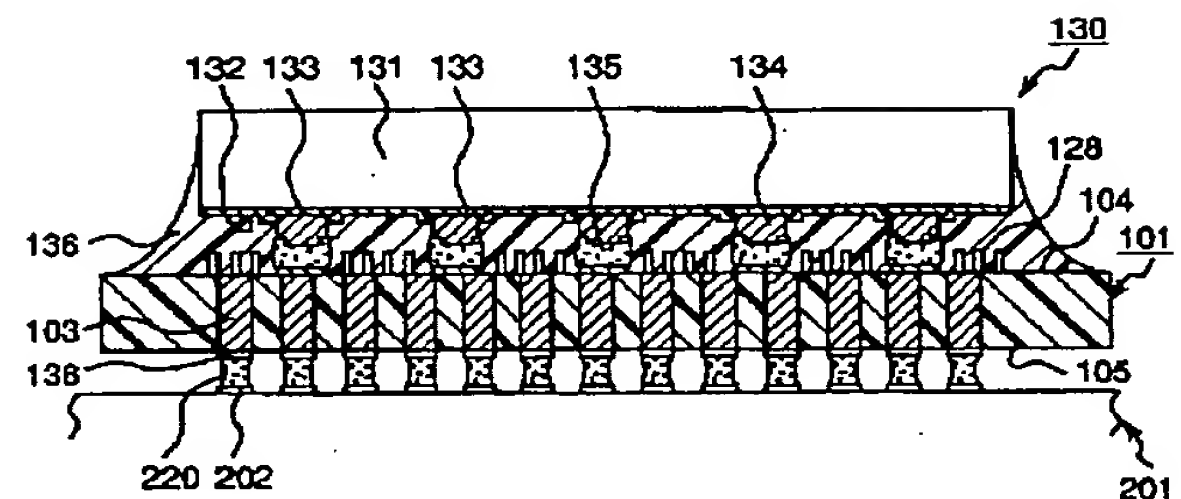
【図16】



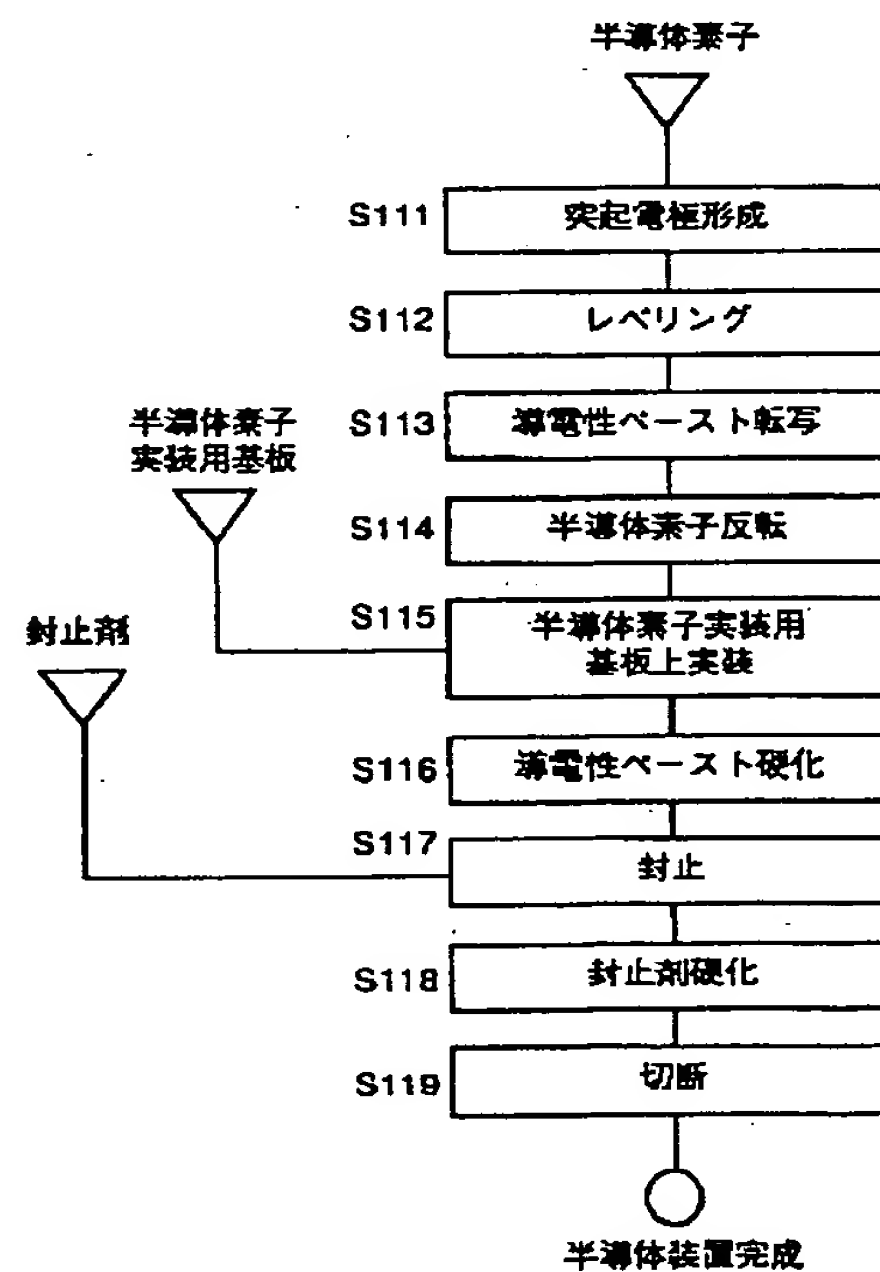
【図 14】



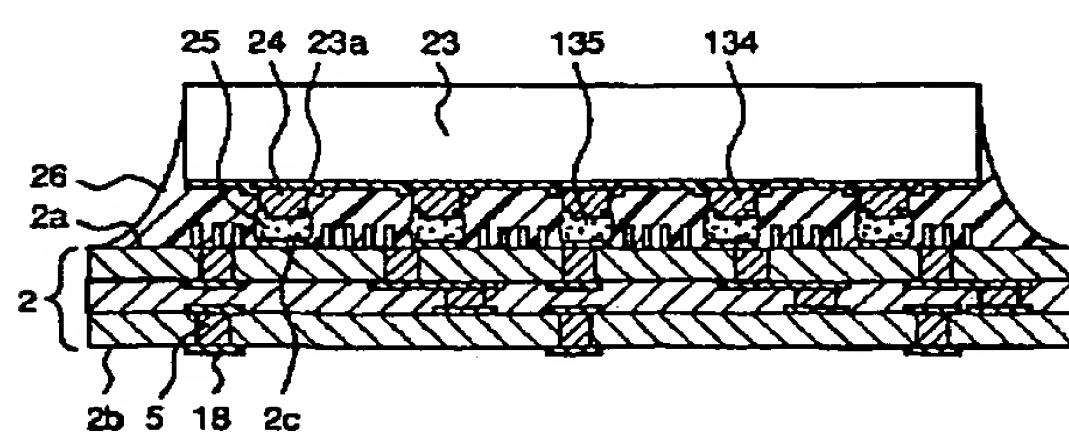
【図18】



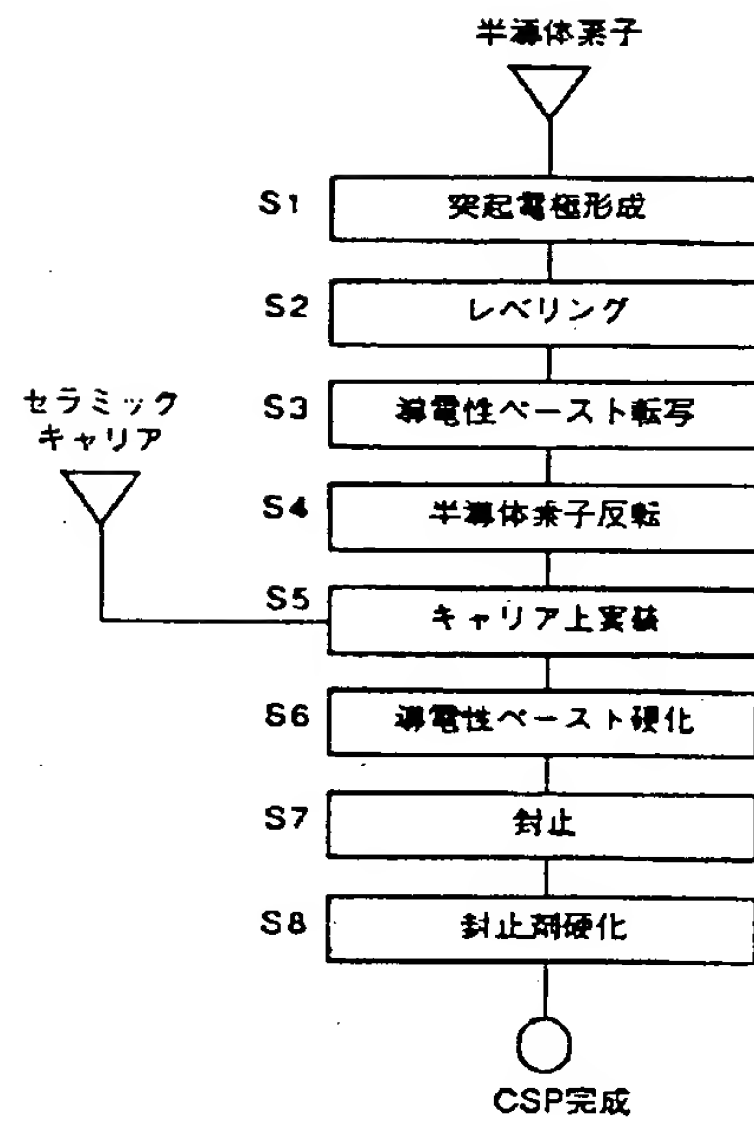
【図20】



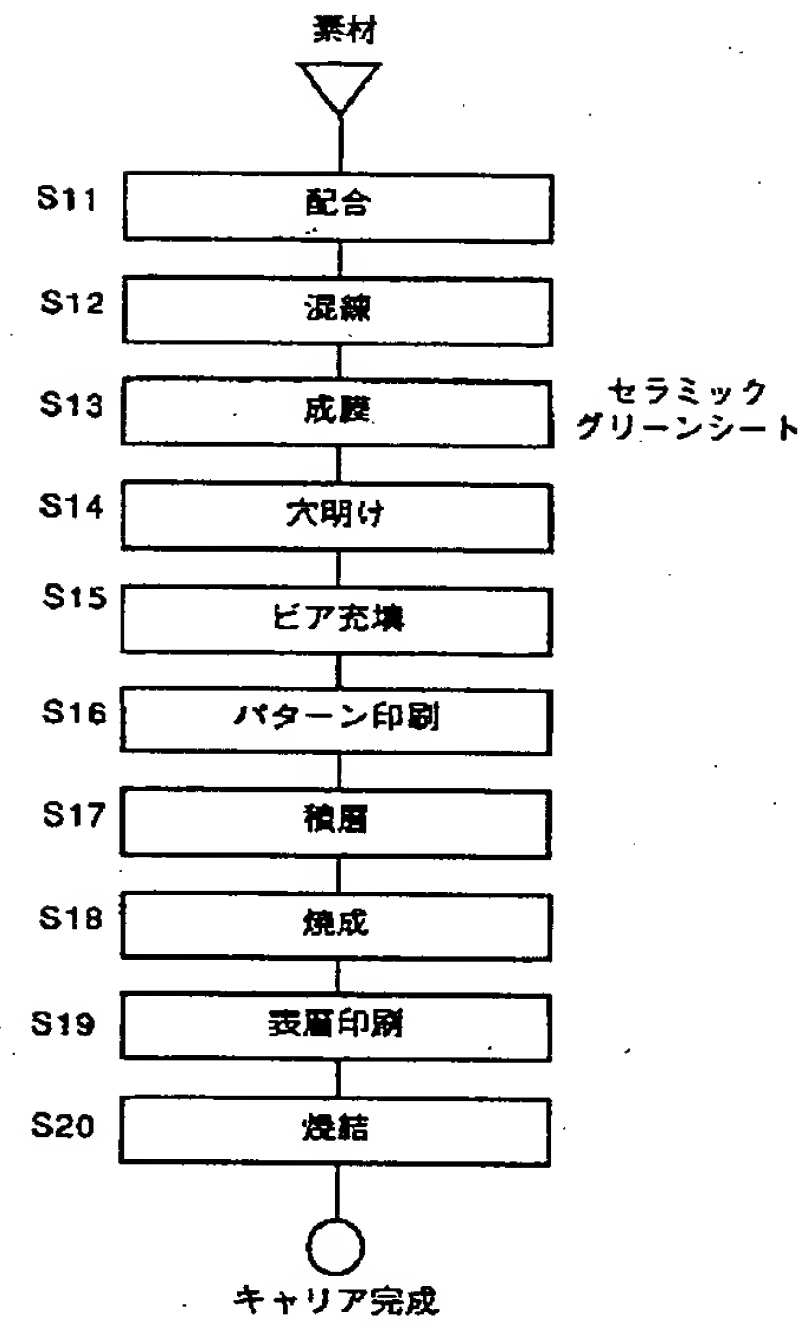
【図21】



【図22】



【図23】





P.B.5818 - Patentlaan 2
2280 HV Rijswijk (ZH)
☎ +31 70 340 2040
TX 31651 epo nl
FAX +31 70 340 3016

Europäisches
Patentamt

Zweigstelle
in Den Haag
Recherchen-
abteilung

European
Patent Office

Branch at
The Hague
Search
division

Office européen
des brevets

Département à
La Haye

Division de la LEEDS

Billington, Lawrence Emlyn
Haseltine Lake & Co.
Imperial House
15-19 Kingsway
London WC2B 6UD
GRANDE BRETAGNE

HASELTINE LAKE LONDON	
ACKNOWLEDGEMENT	
RECEIVED WITH THANKS	
14 MAY 2004	
ORIG TO	RECORDS
COPY	

HASELTINE LAKE	
ACKNOWLEDGEMENT	
RECEIVED	
17 MAY 2004	
ORIG TO	RECORDS
COPY TO	RENEWALS

Datum/Date
13.05.04

Zeichen/Ref./Réf.
HL78223/000

Anmeldung Nr./Application No./Demande n°/Patent Nr./Patent No./Brevet n°.
01301243.0-2203-

Anmelder/Applicant/Demandeur/Patentinhaber/Proprietor/Titulaire
FUJITSU LIMITED

COMMUNICATION

The European Patent Office herewith transmits as an enclosure the European search report for the above-mentioned European patent application.

If applicable, copies of the documents cited in the European search report are attached.

☐ Additional set(s) of copies of the documents cited in the European search report is (are) enclosed as well.

The following specifications given by the applicant have been approved by the Search Division:

☒ abstract

☒ title

☐ The abstract was modified by the Search Division and the definitive text is attached to this communication.

The following figure will be published together with the abstract:

1

LEEDS ADMIN	
Due On	
Replied	
Date	
Initials	
CC	

REFUND OF THE SEARCH FEE

If applicable under Article 10 Rules relating to fees, a separate communication from the Receiving Section on the refund of the search fee will be sent later.

COMPLETED
14 MAY 2004
NOTED





DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.7)
X	US 5 286 926 A (MIYAWAKI NOBUHIKO ET AL) 15 February 1994 (1994-02-15) * abstract * * column 1, line 62 - column 2, line 9; figures 1,2 * * column 2, line 35 - column 3, line 22 * * column 3, line 62 - column 4, line 3; claim 1 * ---	1-5,7-9, 14-16	H01L23/498
X	US 6 028 364 A (ANJOU ICHIROU ET AL) 22 February 2000 (2000-02-22) * abstract; claim 1; figure 5 * * column 3, line 4 - line 13 * ---	1-6,14	
X	US 5 331 514 A (KURODA MASAO) 19 July 1994 (1994-07-19) * abstract; claim 1; figures 1,2 * * column 1, line 49 - line 59 * * column 2, line 44 - line 63 * ---	1-5,7-9, 14	
X	WO 96/19829 A (PACE BENEDICT G) 27 June 1996 (1996-06-27) * abstract; figure 3H * ---	13	TECHNICAL FIELDS SEARCHED (Int.Cl.7)
A		1-5, 10-12	H01L
X	US 5 987 744 A (LAN JAMES J D ET AL) 23 November 1999 (1999-11-23) * abstract; figures 2B,3A-3J * * column 7, line 22 - column 8, line 3 * ---	1-5, 10-12	
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 11, 30 September 1999 (1999-09-30) -& JP 11 163207 A (HITACHI CHEM CO LTD), 18 June 1999 (1999-06-18) * abstract; figures 1-4 * * the whole document * ---	1-5,10, 12	
The present search report has been drawn up for all claims			
Place of search MUNICH		Date of completion of the search 5 May 2004	Examiner Ley, M
<div>CATEGORY OF CITED DOCUMENTS</div> <div>X: particularly relevant if taken alone Y: particularly relevant if combined with another document of the same category A: technological background O: non-written disclosure P: intermediate document</div> <div>T: theory or principle underlying the invention E: earlier patent document, but published on, or after the filing date D: document cited in the application L: document cited for other reasons ----- &: member of the same patent family, corresponding document</div>			

4
EPO FORM 1503 03.02 (P04C01)



DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.7)
A	US 5 135 606 A (KATO TOMOAKI ET AL) 4 August 1992 (1992-08-04) * abstract; claim 1; figures 2A-2F, 3A-3F *	1-5	
A	DE 39 39 647 A (HITACHI LTD) 31 May 1990 (1990-05-31) * abstract; claims 1-3; figure 1 *	1-5, 13, 14	
A	US 5 454 161 A (BEILIN SOLOMON I ET AL) 3 October 1995 (1995-10-03) * abstract; claim 1; figures 1-5, 7-12 *	1-5, 10-12	
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 05, 30 April 1998 (1998-04-30) -& JP 10 027825 A (MATSUSHITA ELECTRIC IND CO LTD), 27 January 1998 (1998-01-27) * abstract; figures 18, 19, 21 *	1-5	
A	US 5 585 138 A (INASAKA JUN) 17 December 1996 (1996-12-17) * abstract; figures 1, 6, 7 *	1-5	
The present search report has been drawn up for all claims			TECHNICAL FIELDS SEARCHED (Int.Cl.7)
Place of search MUNICH		Date of completion of the search 5 May 2004	Examiner Ley, M
<div>CATEGORY OF CITED DOCUMENTS</div> <div>X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document</div> <div>T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document</div>			

4
EPO FORM 1503 03.82 (P04C01)

**ANNEX TO THE EUROPEAN SEARCH REPORT
ON EUROPEAN PATENT APPLICATION NO.**

EP 01 30 1243

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

05-05-2004

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5286926	A	15-02-1994	JP	3004071 B2	31-01-2000
			JP	4317359 A	09-11-1992
US 6028364	A	22-02-2000	WO	9609645 A1	28-03-1996
			US	2001051393 A1	13-12-2001
US 5331514	A	19-07-1994	JP	3014503 B2	28-02-2000
			JP	5041463 A	19-02-1993
WO 9619829	A	27-06-1996	EP	0804806 A1	05-11-1997
			JP	2001523390 T	20-11-2001
			WO	9619829 A1	27-06-1996
			US	6165820 A	26-12-2000
			US	5627406 A	06-05-1997
			US	6614110 B1	02-09-2003
			US	5866441 A	02-02-1999
			US	5793105 A	11-08-1998
			US	5904499 A	18-05-1999
US 5987744	A	23-11-1999	US	5872338 A	16-02-1999
			AU	2433597 A	29-10-1997
			WO	9738563 A1	16-10-1997
JP 11163207	A	18-06-1999	NONE		
US 5135606	A	04-08-1992	JP	3283373 A	13-12-1991
			JP	2808164 B2	08-10-1998
			JP	3283374 A	13-12-1991
			JP	2796872 B2	10-09-1998
			JP	3283375 A	13-12-1991
			JP	3000225 B2	17-01-2000
			JP	3283377 A	13-12-1991
			JP	2961221 B2	12-10-1999
			JP	3283378 A	13-12-1991
			JP	2995490 B2	27-12-1999
			JP	4101371 A	02-04-1992
			JP	2573072 B2	16-01-1997
			JP	3182080 A	08-08-1991
			JP	2573073 B2	16-01-1997
			JP	3182083 A	08-08-1991
			JP	3194867 A	26-08-1991
DE 3939647	A	31-05-1990	JP	2148862 A	07-06-1990
			CN	1043407 A ,B	27-06-1990
			DE	3939647 A1	31-05-1990
			GB	2225670 A ,B	06-06-1990

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

**ANNEX TO THE EUROPEAN SEARCH REPORT
ON EUROPEAN PATENT APPLICATION NO.**

EP 01 30 1243

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

05-05-2004

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 3939647 A		KR 9306274 B1	09-07-1993
US 5454161 A	03-10-1995	JP 7022100 A	24-01-1995
JP 10027825 A	27-01-1998	JP 3420435 B2	23-06-2003
		CN 1182283 A	20-05-1998
		SG 70600 A1	22-02-2000
		US 2001042639 A1	22-11-2001
		US 6265673 B1	24-07-2001
US 5585138 A	17-12-1996	US 5460677 A	24-10-1995
		US 5364276 A	15-11-1994

